

## 特性

- 通过 USB PD3.0 PPS 认证, TID 1508.
- 支持 USB Type-C 1.2 和 USB PD3.0 标准
- 支持多达五档 FPDO
  - 5V、9V、12V、15V 和 20V 五档典型电压
  - 5V ~ 23.5V 范围内均可自由设置 FPDO 档位, 最大电流等级 5A, 支持最大 115W 功率输出
- 支持多达二档 APDO
  - 支持 5V Prog, 9V Prog, 15V Prog 和 20V Prog
  - 以 20mV 步进调节电压, 以 50mA 步进调节电流
  - 恒功率控制 (Constant Power)
- 支持 QC2.0/3.0, BC1.2 DCP 等充电协议
  - Apple 5V/2.4A 模式
  - BC1.2 DCP 充电协议
  - QC2.0 5V, 9V 和 12V 离散调压
  - QC3.0 3.6V ~ 12V 的 200mV 步进连续调压
- 支持 AFC 和 FCP 快充协议
- 集成恒压补偿环路 (CV loop) 和恒流补偿环路 (CC loop) 网络
  - 已经包含次级侧补偿电路, 如 TL431
- VBUS 和 VIN 引脚快速放电
- 宽工作电压范围: 3.3V ~ 25V
- 支持线路阻抗补偿 – 可选 0.100mΩ 或 150mΩ

- 支持三档智能降功率功能
- 多次可重复烧写
- GPIO 引脚可配置成充电状态转灯和 Type-C 插入状态指示等功能
- 集成 VCONN 电源和 USB 电子标签芯片 (eMarker) 检测功能
- 支持 OTP, OVP, UVP, UVLO 和 OCP 等保护功能
- CC1 和 CC2 支持 28V 高压，避免与 VBUS 引脚短路风险
- 支持 SOP-14L 和 QFN-16L 两种封装形式
- 加强的 ESD HBM (CC1, CC2, D+, D- 引脚)

## 应用

- 电源适配器
- 车载充电器
- USB PD 转换器

## 概述

**HUSB350** 是一颗高性能、高集成度的 USB Type-C Power Delivery (电力传输) 控制器。它集成了 PD2.0, PD3.0, PPS, QC2.0/3.0, AFC, FCP, BC1.2 DCP, 5V/2.4A 等充电协议。HUSB350 适用于电源适配器、车载充电器、移动电源等应用场合。HUSB350 支持 SOP-14L 和 QFN-16L 两种封装形式。

## 典型应用电路

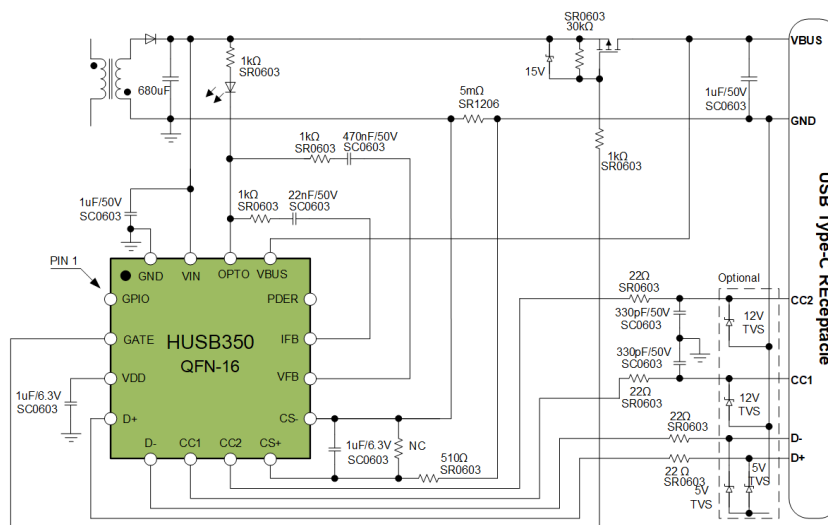


图 1.HUSB350 典型应用电路

## 更改记录

Version	Date	Descriptions
V1.0	Oct 21, 2019	Initial Released Version

## Contents

特性.....	1
应用.....	1
概述.....	1
典型应用电路 .....	1
更改记录 .....	2
规格指标 .....	5
绝对最大值 .....	7
热阻 .....	7
ESD 警告.....	7
引脚定义 .....	8
电路工作原理 .....	9
VIN 和 VDD 引脚.....	9
VIN 电源系统.....	9
VIN 放电 .....	9
VIN 电压采样 .....	9
VDD 电源系统 .....	9
环路控制电路 (VFB, CS+, CS-, IFB, OPTO 引脚).....	9
恒压补偿电路 (CV loop) .....	9
恒流补偿电路 (CC loop) .....	9
电压切换斜率.....	9
阻抗补偿功能 (IR 补偿) .....	9
CC1 和 CC2 引脚 .....	10
Type-C CC 功能 .....	10
VCONN 电源和 eMarker 检测功能.....	10
D+和 D-引脚 .....	10
模式一：5V/2.4A 充电模式.....	10
模式二：USB BC1.2 DCP 充电模式 .....	10
模式三：HVDCCP 快充模式.....	10
VBUS 引脚 .....	10
vSafe0V 检测 .....	10

VBUS 放电 .....	11
Gate 引脚 .....	11
GPIO 引脚 .....	11
PDER 引脚 .....	11
保护功能 .....	11
过压保护 VIN_OV .....	11
欠压保护 VIN_UV .....	12
过温保护 OT .....	12
过流保护 IIN_OC .....	12
典型应用框图 .....	13
系统应用电路设计 .....	14
电源环路补偿电路设计 .....	14
恒压补偿电路的设计 (CV loop) .....	14
恒流补偿电路的设计 (CC loop) .....	14
CC1 和 CC2 电路设计 .....	14
D+/D-电路设计 .....	15
PMOS 驱动电路设计 .....	15
电流采样电路设计 .....	16
PCB 布板注意事项 .....	17
CC1 和 CC2 引脚的 ESD 防护 .....	17
D+和 D-引脚的 ESD 防护 .....	17
电流采样电路的 PCB 走线 .....	18
芯片去耦电容的放置 .....	18
封装尺寸图 .....	19
SOP-14 封装 .....	19
QFN-16 封装 .....	20
封装顶层丝印 .....	20
订购指南 .....	20

## 规格指标

测试条件  $V_{IN} = 5\text{ V}$ ,  $T_A = 25^\circ\text{C}$ , 除非特别说明.

表 1.

参数	符号	测试条件	最小值	典型值	最大值	单位
GENERAL PARAMETERS						
Supply Voltage	V <sub>IN</sub>	Rising Falling	3.3		25	V
Supply Voltage UVLO Threshold	V <sub>IN_UVLO</sub>		2.85		V	
			2.75		V	
Supply Current at Normal Operating	I <sub>CC_OPR</sub>	CC1 and CC2 floating CC1 and CC2 Clamped		1		mA
Supply Current at Sleep Mode	I <sub>CC_SLEEP</sub>		250		μA	
	I <sub>CC_SLEEP</sub>			0.9		mA
Regulator Voltage	V <sub>DD</sub>			1.8		V
Operating Junction Temperature	T <sub>J</sub>		-40		125	°C
Operating Ambient Temperature	T <sub>A</sub>		-40		105	°C
Type-C						
Default Mode Pullup Current Source	I <sub>CC_DEF</sub>		64	80	96	μA
1.5A Mode Pullup Current Source	I <sub>CC_1P5</sub>		166	180	194	μA
3.0A Mode Pullup Current Source	I <sub>CC_3P0</sub>		304	330	356	μA
UFP Detecting threshold at Default Current	V <sub>TH_DEF</sub>		1.51	1.6	1.64	V
UFP Detecting threshold at 1.5A current	V <sub>TH_1A5</sub>		1.51	1.6	1.64	V
UFP Detecting threshold at 3.0A current	V <sub>TH_3A0</sub>		2.46	2.6	2.74	V
BMC COMMON PARAMETERS						
Bit Rate	f <sub>BitRate</sub>		270	300	330	Kbps
BMC TX PARAMETERS						
Maximum Difference between the Bit-rate during the Part of the Packet Following the Preamble and the Reference Bit-rate.	p <sub>BitRate</sub>				0.25	%
Time to Cease Driving the Line after the End of the Last bit of the Frame.	t <sub>EndDriveBMC</sub>				23	μs
Fall Time	t <sub>Fall</sub>		300			ns
Time to cease driving the line after the final high-to-low transition.	t <sub>HoldLowBMC</sub>		1			μs
Time from the End of Last Bit of a Frame until the Start of the First bit of the Next Preamble.	t <sub>InterFrameGap</sub>		25			μs
Rise Time	t <sub>Rise</sub>		300			ns
Time Before the Start of the First Bit of the Preamble when the Transmitter shall Start Driving the Line.	t <sub>StartDrive</sub>		-1		1	μs
Voltage Swing	V <sub>Swing</sub>		1.05	1.125	1.2	V
Transmit Low Voltage			-75		75	mV
Transmitter Output Impedance	Z <sub>Driver</sub>		33	54	75	Ω
BMC RX PARAMETERS						
Hysteresis				160		mV
Time Window for Detecting Bus Non-idle	t <sub>TransitionWindow</sub>		12		20	μs
Number to Count to Detect Bus Non-idle	n <sub>Count</sub>		3			
Time Constant of a Single Pole Filter to Limit Broad-band Noise Ingression1	t <sub>RxFilter</sub>		100			ns
Receiver Input Impedance	Z <sub>BmcRx</sub>		1			MΩ
Divider 3 Mode						
D+ and D- Output Voltage	V <sub>DPDM_2V7</sub>	Divider 3 mode	2.57	2.7	2.84	V
D+ and D- Output Impedance	R <sub>DPDM_2V7</sub>		24	30	36	kΩ
HVDCP Mode						
Output Voltage Selection Reference	V <sub>SEL_REF</sub>		1.8	2.0	2.2	V
Data Detect Voltage Reference	V <sub>DAT_REF</sub>		0.25	0.325	0.4	V
D+ Line Leakage Resistance	R <sub>DAT_LKG</sub>		300	-	1500	kΩ
D- Pulldown Resistance	R <sub>DM_DWM</sub>		14.25	19	24.5	kΩ

D+ to D- Resistance During DCP mode	R <sub>DCP_DAT</sub>	HVDCP is disabled	100	200	Ω	
D+ High Glitch Filter Time	T <sub>GLITCH_BC_DONE</sub>		1000	1250	1500	ms
D- Low Glitch Filter Time	T <sub>GLITCH_DM_LOW</sub>		1	2		ms
Output Voltage Glitch Filter Time	T <sub>GLITCH_V_CHANGE</sub>		20	40	60	ms
Glitch Filter for D+/D- Continuous Change	T <sub>GLITCH_CONT_CHANGE</sub>		100	150	200	us
FCP Mode						
D- FCP Tx Valid Output High	V <sub>TX_VOH</sub>		2.55		3.6	V
D- FCP Tx Valid Output Low	V <sub>TX_VOL</sub>				0.3	V
D- FCP Rx Valid Input High	V <sub>RX_VOH</sub>		1.4		3.6	V
D- FCP Rx Valid Input Low	V <sub>RX_VOH</sub>				1	V
D- FCP Output Low Resistance	R <sub>PD</sub>				600	Ω
Unit Interval For FCP	FCP_UI		144	160	176	μs
VOLTAGE CONTROL(VFB PIN)						
Voltage Sense Scaling Factor				10		
Time from Source issue GoodCRC to Start Voltage Transition	t <sub>SrcTransition</sub>			30		ms
CURRENT CONTROL (CS+, CS-, IFB PINS)						
Current Sense Resistor				5		mΩ
GATE PIN						
Maximum Sinking Current			2		20	mA
Pull Low Impedance				50	150	Ω
GPIO PIN						
Maximum Sinking Current			2		20	mA
Pull Low Impedance				50	150	Ω
PDER PIN						
1 <sup>st</sup> Level Input Voltage	V <sub>PDER1</sub>	To trigger power derating	2.23	2.56	2.90	V
2 <sup>nd</sup> Level Input Voltage	V <sub>PDER2</sub>		1.15	1.28	1.45	V
3 <sup>rd</sup> Level Input Voltage	V <sub>PDER3</sub>		0.75	0.85	0.97	V
4 <sup>th</sup> Level Input Voltage	V <sub>PDER4</sub>				0.4	V
OPTO PIN						
Min OPTO Current				30		μA
Max Pull Down Current				3		mA
Output Voltage Regulation						
5V Output Accuracy	V <sub>5V</sub>	RDO=5V RDO≠5V, With respect to V <sub>IN_REF</sub> With respect to V <sub>IN_REF</sub>	4.75	5.1	5.5	V
FPDO Output Accuracy	V <sub>FPDO</sub>		95		105	%
APDO Output Accuracy	V <sub>APDO</sub>		95		105	%
OV AND OC PROTECTIONS						
Over-voltage Protection Threshold	V <sub>IN_OV</sub>	With respect to V <sub>IN_REF</sub>	115	120	125	%
Under-voltage Protection Threshold	V <sub>IN_UV</sub>	With respect to V <sub>IN_REF</sub>	75	80	85	%
Over-current Protection Threshold	I <sub>IN_OC</sub>	Default, With respect to I <sub>IN_REF</sub>		115		%
Thermal Shutdown Risng	t <sub>TSD_RISE</sub>			130		°C
Thermal Shutdown Falling	t <sub>TSD_FALL</sub>			80		°C

## 绝对最大值

表 2.

Parameter	Rating
VIN, GATE, VBUS, OPTO, CC1, CC2	-0.5V to +28V
GPIO, PDER, D+, D-, CS+, CS-, VFB, IFB	-0.5V to +6V
VDD	-0.5V to +2V
Storage Temperature Range	-65°C to +150°C
Operating Junction Temperature Range	-40°C to +125°C
ESD HBM (CC1,CC2,DP,DM)	TBD
Soldering Conditions	JEDEC J-STD-020

## 热阻

$\theta_{JA}$  is specified for the worst-case conditions, that is, a device soldered in a circuit board for surface-mount packages.

表 3. 热阻

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
SOP-14L	83.5	37.7	°C/W
QFN-16L	47	4.5	°C/W

## ESD 警告

**ESD (electrostatic discharge) sensitive device.**

Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

引脚定义

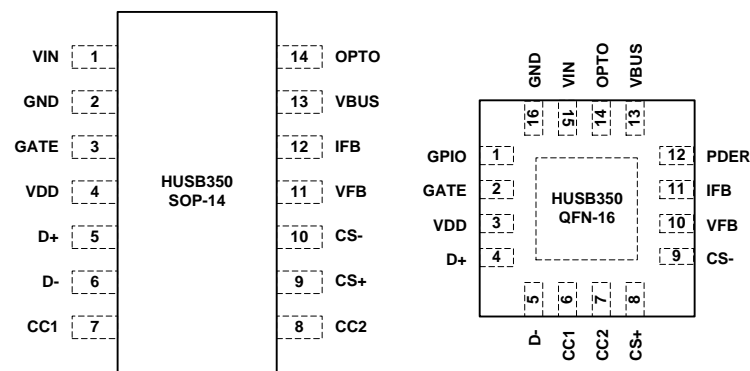


图 2. 引脚定义图，顶视图

表 4. HUSB350 管脚功能描述

SOP-14 引脚号	QFN-16 引脚号	引脚 名称	引脚 类型	电压 类型	引脚描述
1	15	VIN	P	HV	Supply input voltage. Place a 1uF ceramic capacitor closely to this pin and GND pin
2	16	GND	P	-	Power ground.
-	1	GPIO	OD	LV	GPIO pin. Keep floating when not used
3	2	GATE	OD	HV	Open drain gate drive output.
4	3	VDD	P		1.8V regulator output for system power. Place a 1uF ceramic capacitor closely to this pin and GND pin
5	4	D+	DIO	LV	USB D+ line.
6	5	D-	DIO	LV	USB D- line.
7	6	CC1	AIO	HV	Type-C CC1 line.
8	7	CC2	AIO	HV	Type-C CC2 line.
9	8	CS+	AI	LV	Positive input of the current sense amplifier.
10	9	CS-	AI	LV	Negative input of the current sense amplifier. Provide a low ohmic connection to GND.
11	10	VFB	AI	LV	Voltage loop feedback sense point. Connect the compensation network from this pin to OPTO
12	11	IFB	AI	LV	Current loop feedback. Connect the compensation network from this pin to OPTO
-	12	PDER	AI	LV	Power derating control pin. Keep floating when not used
13	13	VBUS	AI	HV	VBUS sense and discharge path.
14	14	OPTO	AI	HV	OPTO driver.

Legend:

HV=High Voltage 高压引脚 (最高 28V)

LV=Low voltage 低压引脚 (最高 6V 或 2V)

OD=Open Drain 开漏引脚

A=Analog 模拟引脚

P= Power 电源引脚

D=Digital 数字引脚

I=Input 输入引脚

O=Output 输出引脚



## 电路工作原理

### VIN 和 VDD 引脚

#### VIN 电源系统

VIN 引脚是芯片的供电引脚，连接 AC-DC 功率变换器或者 DC-DC 功率变换器的输出端。推荐在 VIN 引脚和 GND 引脚之间连接  $1\mu\text{F}$  的陶瓷电容作为去耦电容，引线越短越好。

#### VIN 放电

VIN 引脚同时连接到内部一个能量泄放电阻和 MOSFET 组成的电路。这个电路在特定条件下开通，泄放功率级输出电容上的能量。

#### VIN 电压采样

参见环路控制电路 (VFB, CS+, CS-, IFB, OPTO 引脚) 章节。

#### VDD 电源系统

一个内部 LDO 输出 1.8V 电源。在 VDD 引脚和 GND 引脚之间连接  $1\mu\text{F}$  的陶瓷电容作为去耦电容，引线越短越好。

### 环路控制电路 (VFB, CS+, CS-, IFB, OPTO 引脚)

HUSB350 自带恒压补偿电路 (CV loop) 和恒流补偿电路 (CC loop)。环路补充电路的输出连接 OPTO 引脚，用于驱动光耦的初级侧，控制功率级的环路。该电路替换了传统的电压环路补偿电路，如 TL431。

#### 恒压补偿电路 (CV loop)

整个恒压补偿电路由功率级输出电压采样电路、CV 环路的差分运放电路和 OPTO 引脚控制电路组成。恒压补偿电路的输入端 VFB 通过内部连接一个  $90\text{k}\Omega$  和  $10\text{k}\Omega$  的分压网络，按照 10:1 比例采样 VIN 引脚的电压。恒压补偿电路的补偿由 OPTO 引脚和 VFB 引脚之间的补偿电路实现。

#### 恒流补偿电路 (CC loop)

USB PD3.0 PPS 协议明确定义了电流限制 (Current Limit) 功能。在 HUSB350 中，电流限制通过恒流补偿电路实现。除此之外，FPDO 也可以支持恒流补偿电路。CC 环路的输入端通过一个  $5\text{m}\Omega$  的电流采样电阻实现，并经过一个 RC 滤波电路连接到 CS+ 和 CS- 差分输入端，具体电路参考恒流补偿电路的设计 (CC loop) 章节。

#### 电压切换斜率

在电压切换期间，为了保证电压切换的平滑性，减少电压调节过冲，HUSB350 设定了固定的电压切换斜率。

#### 阻抗补偿功能 (IR 补偿)

HUSB350 具有阻抗补偿功能 (即线补功能)，可以按照输出电流的比例把功率级输出电压作一定的抬升。如果该功能被使能，功率级输出电压按照  $0\text{mV/A}$ 、 $100\text{mV/A}$  或者  $150\text{mV/A}$  的补偿系数提升。例如，选择  $100\text{mV/A}$  补偿系数的适配器，假设其空载输出电压为  $5.0\text{V}$ ，在其输出电流为  $3\text{A}$  时实际的输出时电压为  $5.0\text{V} + 3\text{A} \times 100\text{mV/A} = 5.3\text{V}$ 。

## CC1 和 CC2 引脚

### Type-C CC 功能

CC1 和 CC2 引脚支持 USB Type-C 协议所定义的 DFP 模式 500mA, 1.5A 或 3A 的电流广播。CC1 和 CC2 引脚能够承受 28V 高压, 当 Type-C 插座上的 CC1 或者 CC2 引脚与 VBUS 高压短路时, 芯片不会受到损坏。

通过 Type-C 检测, CC1 或者 CC2 会被连接到内部的 BMC 模块, 实现 PD 通讯。

### VCONN 电源和 eMarker 检测功能

HUSB350 支持 VCONN 电源和 USB 电子标签芯片 (eMarker 芯片, 如 [HUSB330](#)、[HUSB331](#) 或 [HUSB332](#)) 检测功能。USB PD 协议规定, 如果适配器不是带固定式 Type-C 线缆(即 Captive cable) 输出, 当适配器输出有一档额定输出电流大于 3A 时, 适配器的 PD 控制电路必须支持 VCONN 电源和 eMarker 检测功能。

例如在 90W PD 适配器中, 当 HUSB350 检测到 eMarker 芯片标记支持 5A 电流, HUSB350 可以以 20V/4.5A 的实际设定值广播, 受电设备可以以 90W 功率抽取负载。如果 HUSB350 没有检测到 eMarker 或者 eMarker 标记电流只有 3A, HUSB350 只能以 20V/3A 的设定值广播, 受电设备只能以 60W 功率抽取负载。

## D+和 D-引脚

HUSB350 具有 D+和 D-引脚, 支持以下三种模式充电协议:

### 模式一: 5V/2.4A 充电模式

HUSB350 支持 5V/2.4A 充电模式。

### 模式二: USB BC1.2 DCP 充电模式

HUSB350 支持 USB BC1.2 DCP 充电协议。

### 模式三: HVDCP 快充模式

HVDCP 模式包含多种协议, 有 QC2.0, QC3.0, AFC, FCP。HUSB350 支持 QC2.0 和 QC3.0 Class A (5/9/12V), FCP 的 5/9V, AFC 的 5/9/12V。

其中 QC 调压配置表如下表所示。

表 5. QC 调压配置表

设备端信号		适配器调压
D+	D-	适配器输出电压
0.6V	0.6V	12 V
3.3 V	0.6 V	9 V
0.6 V	3.3 V	连续模式
0.6 V	GND	5 V

## VBUS 引脚

该引脚用于采样 Type-C 母座上的 VBUS 状态, 监控 VBUS 电压和泄放 VBUS 上的能量, 可以直接与 Type-C 母座上的 VBUS 连接。

### vSafe0V 检测

当 HUSB350 进入 AttachWait.SRC 状态并维持  $t_{CCDebounce}$  时间后, HUSB350 判断 VBUS 引脚上的电压是否在 vSafe0V 以内。如果是, HUSB350 拉低 GATE 引脚, 进入 Attached.SRC 状态; 否则保持在 AttachWait.SRC 状态。

**VBUS 放电**

VBUS 引脚同时连接到内部一个能量泄放电阻和 MOSFET 组成的电路。这个电路在特定条件下开通 MOSFET，形成死负载，泄放功率级输出电容上的能量。

**GATE 引脚**

GATE 引脚是漏极开路输出引脚（Open Drain），可以直接驱动 PMOS 负载开关。当 HUSB350 进入 Type-C 连接状态（Attached.SRC）时，GATE 引脚被拉低。当 HUSB350 退出 Type-C 连接状态，GATE 引脚停止拉低。

**GPIO 引脚**

GPIO 引脚是漏极开路输出引脚（Open Drain），可用于配置多种功能：

- 低压小电流指示：GPIO 引脚默认拉低，当输出电压低于 4.5V 且输出电流小于 0.5A 时，GPIO 引脚变为高阻，可由外部上拉电阻拉高变为高电平。
- 小电流指示：GPIO 引脚默认拉低，当输出电流小于 0.5A 时，GPIO 引脚变为高阻，可由外部上拉电阻拉高变为高电平。
- UFP 指示：GPIO 引脚默认为高阻，当有设备接入后，GPIO 引脚拉低，指示有设备插入。

HUSB350 的 SOP-14L 封装不支持该功能。

**PDER 引脚**

HUSB350 的 QFN 封装支持降功率功能，适用于 USB-C + USB-A 双口输出，或者双 USB-C 输出时功率利用率最大化设计。PDER 引脚默认拉高，当芯片的 PDER 引脚外接不同电阻  $R_{PDER}$  实现任意档位的降功率，具体的设置如下：

电阻设置 $R_{PDER}(K\Omega)$	广播功率
$\infty$	默认设置功率（PDP）
32	默认设置功率（PDP）-任意功率 P1
16	默认设置功率（PDP）-任意功率 P1- $\Delta P$
10.67	默认设置功率（PDP）-任意功率 P1-2 $\Delta P$
0	5V 或 5/9V 或 5/9/12V

任意功率 P1 可以为小于默认设置功率的任意值。 $\Delta P$  可以为 10W，12W，15W，18W 等值。当 PDER 被强制拉低后，HUSB350 可以选择只广播 5V 或者 5V/9V 或者 5V/9V/12V。

PDER 引脚同时也可以作为芯片的使能引脚，当此功能被选择时，拉低 PDER 引脚将会关闭芯片。

HUSB350 的 SOP-14L 封装不支持该功能。

**保护功能****过压保护 VIN\_OV**

HUSB350 检测 VIN 引脚上的电压实现过压保护功能。过压保护门限为 CV 环路设定值 VIN\_REF 的 120%，根据 PD 协商的电压，该门限会动态发生变化，但是始终为设定值的 120%。当发生过压保护后，GATE 停止拉低，

HUSB350 进入放电状态，然后进入待机状态。如果在待机状态所有故障信号消失，则会重新建立 Type-C 和 PD 连接。

**欠压保护 VIN\_UV**

HUSB350 检测 VIN 引脚上的电压实现欠压保护功能。欠压保护门限为 CV 环路设定值 VIN\_REF 的 80%，根据 PD 协商的电压，该门限会动态发生变化，但是始终为设定值的 80%。当发生欠压保护后，GATE 停止拉低，HUSB350 进入放电状态，然后进入待机状态。如果在待机状态所有故障信号消失，则会重新建立 Type-C 和 PD 连接。

根据 USB PD 协议，在 PPS 工作模式下，欠压保护功能自动被关掉。

**过温保护 OT**

HUSB350 在结温达到 130°C 时会发生过温保护，随着结温降低到 80°C 过温保护撤除。

**过流保护 IIN\_OC**

HUSB350 检测采样到的电流达到过流门限时会发生过流保护。

## 典型应用框图

图 3 至图 4 给出了 HUSB350 驱动光耦的典型应用电路图。

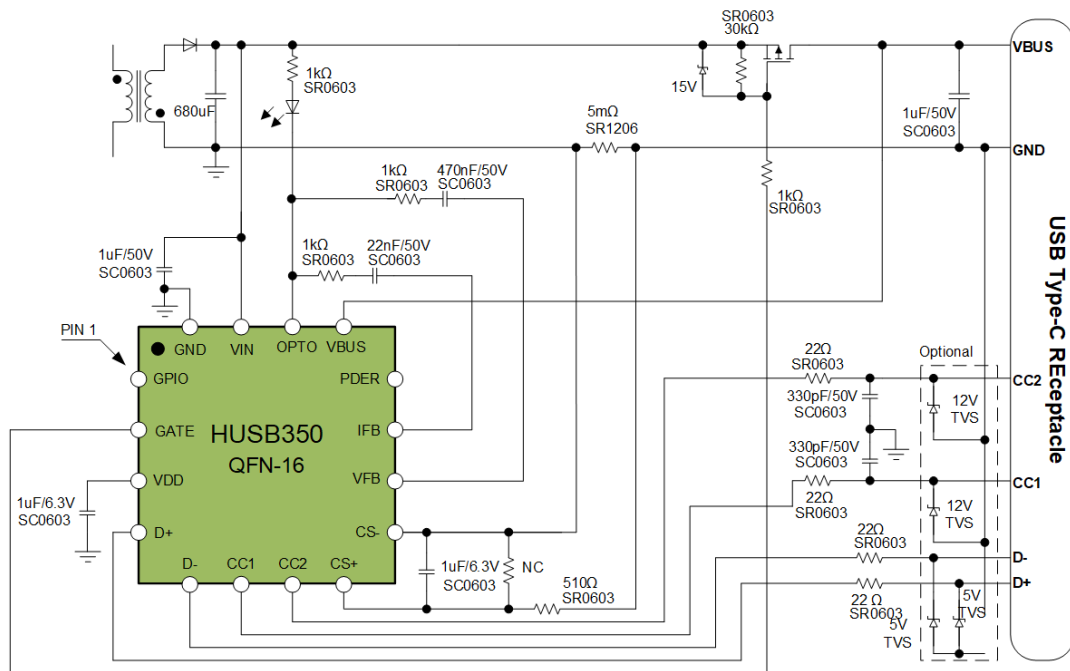


图 3. HUSB350 QFN-16L 封装典型应用电路

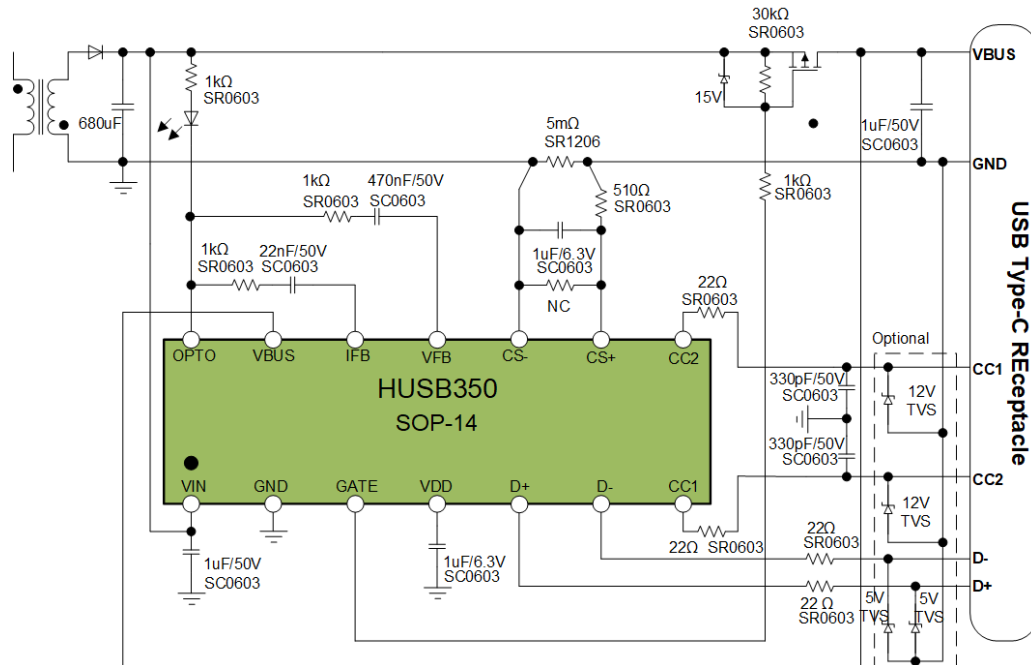


图 4. HUSB350 SOP-14L 封装典型应用电路

## 系统应用电路设计

### 电源环路补偿电路设计

#### 恒压补偿电路的设计 (CV loop)

恒压补偿电路由 OPTO 引脚与 VFB 引脚之间的补偿网络实现，如图 5 所示。推荐的电阻电容值分别为  $1\text{k}\Omega$  和  $470\text{nF}$ 。增大电容值可以获得更容易稳定的环路补偿，但是电压的动态响应速度可能有所降低。标称 NC 的器件为预留电容，可用于优化环路高频特性。建议 HUSB350 电路与电源系统联合调试，以获得最佳效果。

#### 恒流补偿电路的设计 (CC loop)

恒流补偿电路用于控制电源系统工作于恒流输出模式，由 OPTO 引脚与 IFB 引脚之间的补偿网络实现，如图 5 所示。建议的电阻和电容值分别为  $1\text{k}\Omega$  和  $22\text{nF}$ 。改变容值可以获得不同的恒流响应速度，建议 HUSB350 电路与电源系统联合调试，以获得最佳效果。

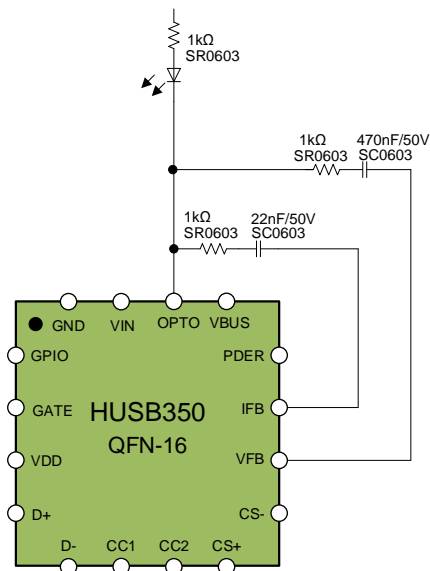


图 5. HUSB350 环路补偿电路

### CC1 和 CC2 电路设计

HUSB350 中的 CC1 和 CC2 引脚均能承受  $28\text{V}$  高压，并且满足  $5\text{kV}$  的 ESD 保护要求。极端情况下，CC1/CC2 与  $20\text{V}$  的 VBUS 电压短路也不会造成芯片烧坏。为实现高可靠性，建议采用图 6 的滤波电路和 ESD 保护器件。其中的电阻电容的推荐值分别为  $22\Omega$  和  $330\text{pF}$ 。该推荐电路可以满足 USB PD 测试的眼图测试项目要求。如果采用其他设置，建议经过眼图重新测试，确保满足协议要求。

滤波电容的接地点为 HUSB350 芯片的 GND。建议采用  $12\text{V}$  等级 TVS，TVS 的接地点为 Type-C 母座的功率位置。

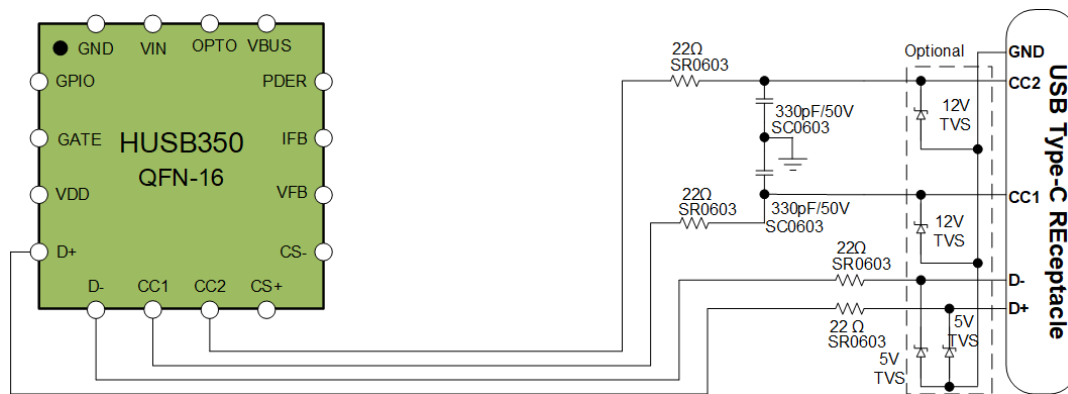


图 6. CC1/CC2 和 D+/D-电路设置

### D+/D-电路设计

HUSB350 中, D+/D-满足 5kV 的 ESD 保护要求。为实现高可靠性, 建议采样图 6 的滤波电路和 ESD 保护器件, 建议的滤波电阻为 22Ω。建议采用 5V 等级 TVS, TVS 接地点为 Type-C 母座的 GND 位置。

### PMOS 驱动电路设计

首先需要选择合适的 PMOS 器件, 一般来说需要注意几点:

- 选择  $V_{DS}$  等级为 30V 的 PMOS, 满足 20V 直流高压输出。
- 根据额定电流  $\times 1.3$ , 计算最大电流, 选择合适的  $R_{DS(ON)}$  电阻, 计算最大功耗和温升。
- 如果要满足最低 3V PPS 输出, 需要留意  $V_{GS(TH)}$  规格, 保证在 3V 输出时能正常驱动并输出额定电流。

驱动电阻网络建议值分别为 30kΩ 和 1kΩ, 如图 7 所示。图中的 15V 稳压管用于 20V FPDO 输出时, PMOS 的  $V_{GS}$  电压钳位在 15V。可以根据实际的输出电压范围和 PMOS 规格作适当调整。例如, 当适配器不支持 20V 时, 可以不需要 15V 稳压管; 当适配器不支持 PPS 时, 可以把 1k 电阻改为 10k, 也不需要稳压管。

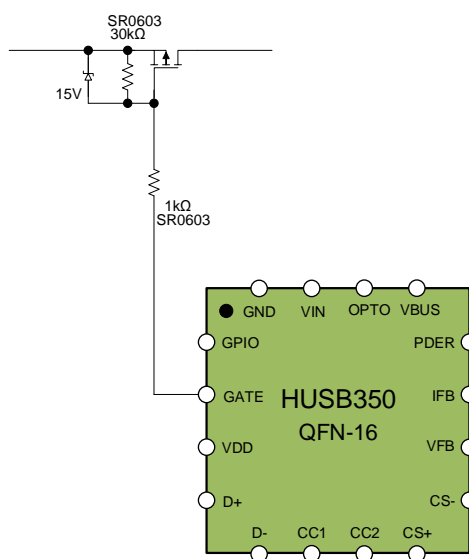


图 7. PMOS 典型驱动电路

## 电流采样电路设计

如图 8 所示，电流采样电阻的阻值固定为  $5\text{m}\Omega$ ，推荐采用 1%精度、1206 封装的电流采样电阻。一般情况下，采用常规的功率等级为  $0.25\text{W}$  就够了。为滤除纹波干扰，推荐采用  $510\Omega$  和  $1\mu\text{F}$  组成的 RC 滤波网络。滤波后的信号以差分形式供给 CS+和 CS-引脚。

参考电流采样电路的 PCB 章节进行电流采样电路的 PCB 布板。如果 PCB 布板不好造成实际过流点偏低，可以通过图 8 所示的 NC 电阻进行补偿。

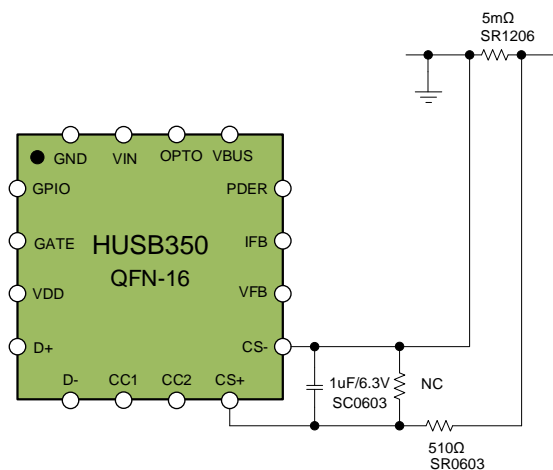


图 8. HUSB350 电流采样电路



## PCB 布板注意事项

PCB 布板注意事项参考 HUSB350 SOP-14L 封装 PD 小板设计文件为实例进行说明，HUSB350 直接放置在 AC-DC 电源板也是遵循该原则。

### CC1 和 CC2 引脚的 ESD 防护

如图 9 所示，阻容 C7、C8、R6 和 R10 靠近 HUSB350 芯片，C7 和 C8 的接地在 HUSB350 芯片的 GND 位置。TVS 器件 D1 和 D4 靠近 Type-C 母座的功率地。

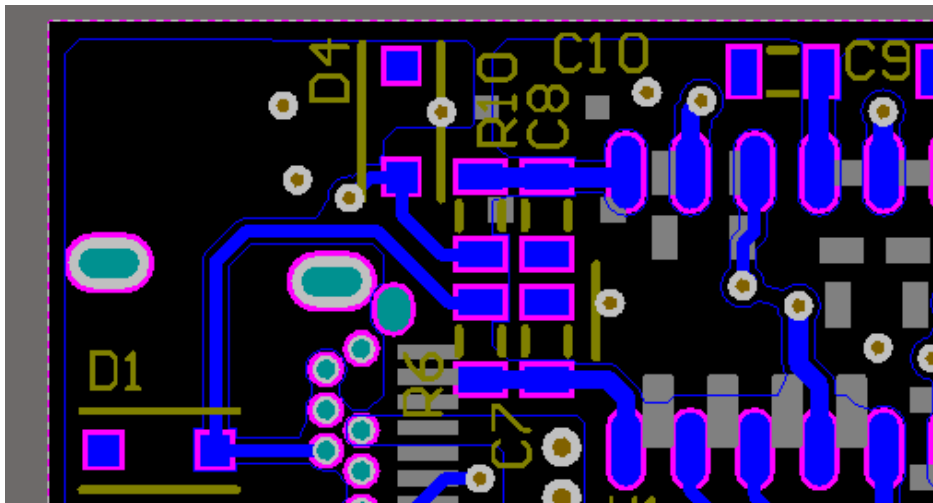


图 9. CC1 和 CC2 走线图

### D+ 和 D- 引脚的 ESD 防护

如图 10 所示，D+ 和 D- 分别通过 R12 和 R11 连接到 Type-C 母座，TVS 器件 D2 和 D3 靠近 Type-C 母座的功率地。

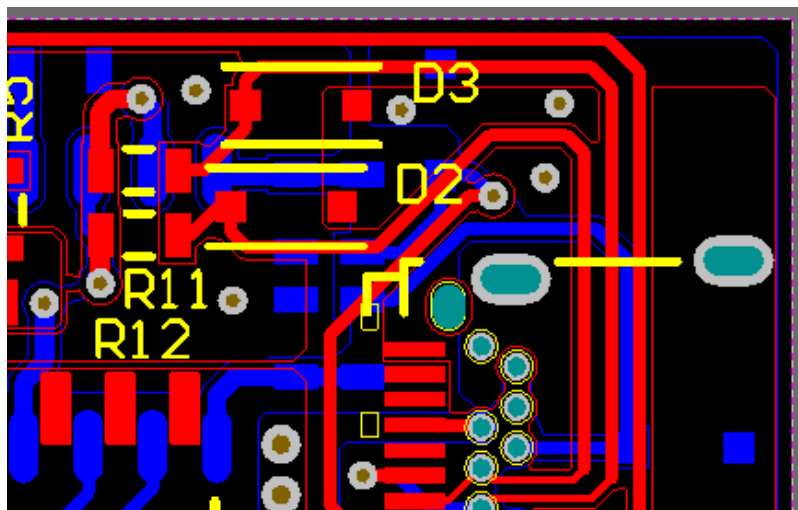


图 10. D+ 和 D- 走线图

### 电流采样电路的 PCB 走线

如图 11 所示，HUSB350 芯片的 GND 在采样电阻 R3 引脚处接到功率地，尽量避免 GND 与 CS-共线。如果没法避免，则 GND 与采样电阻 R3 接地点的接线尽量粗短。滤波电容 C2 尽量靠近 HUSB350 的 CS+和 CS-引脚。建议采用开尔文连接（Kelvin Connect），在采样电阻底部焊盘处引出差分信号线。采样电阻连接功率地和 Type-C 母座的接地点，该路径尽量粗短，线路上不允许有感性器件。

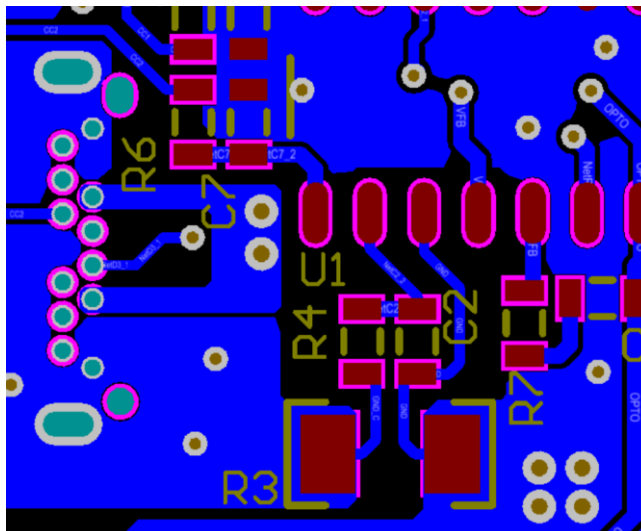


图 11. 电流采样走线

### 芯片去耦电容的放置

如图 12 所示，HUSB350 的 VIN 引脚的去耦电容 C9 尽量靠近 VIN 引脚。VIN 走线从子板引脚引出，必须先连接到 C9 再连接到 HUSB350 的 VIN 引脚。VDD 引脚的去耦电容 C10 尽量靠近 VDD 引脚。

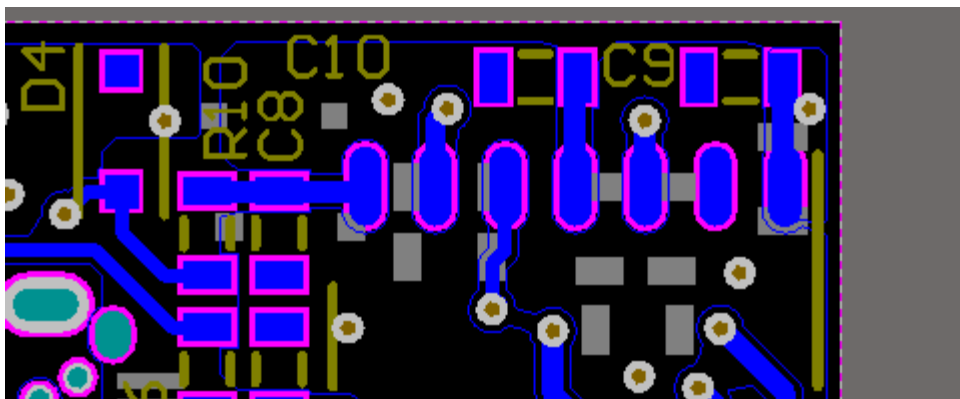
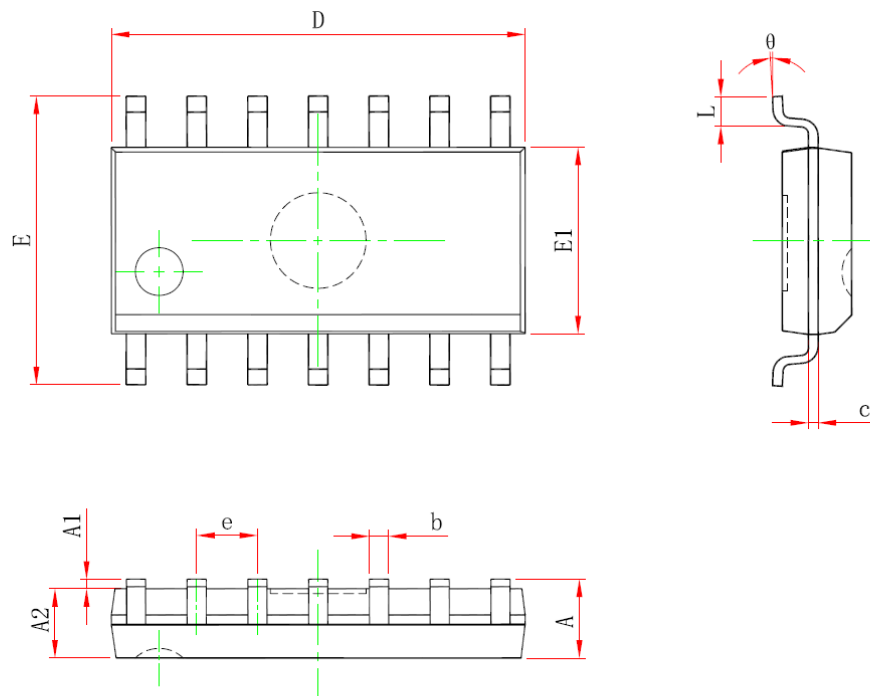


图 12. HUSB350 去耦电容的放置

## 封装尺寸图

## SOP-14 封装



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	—	1.750	—	0.069
A1	0.100	0.250	0.004	0.010
A2	1.250	—	0.049	—
b	0.310	0.510	0.012	0.020
c	0.100	0.250	0.004	0.010
D	8.450	8.850	0.333	0.348
E	5.800	6.200	0.228	0.244
E1	3.800	4.000	0.150	0.157
e	1.270(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
$\theta$	0°	8°	0°	8°

图 13. SOP-14 封装, 8.65 mm × 6 mm

QFN-16 封装

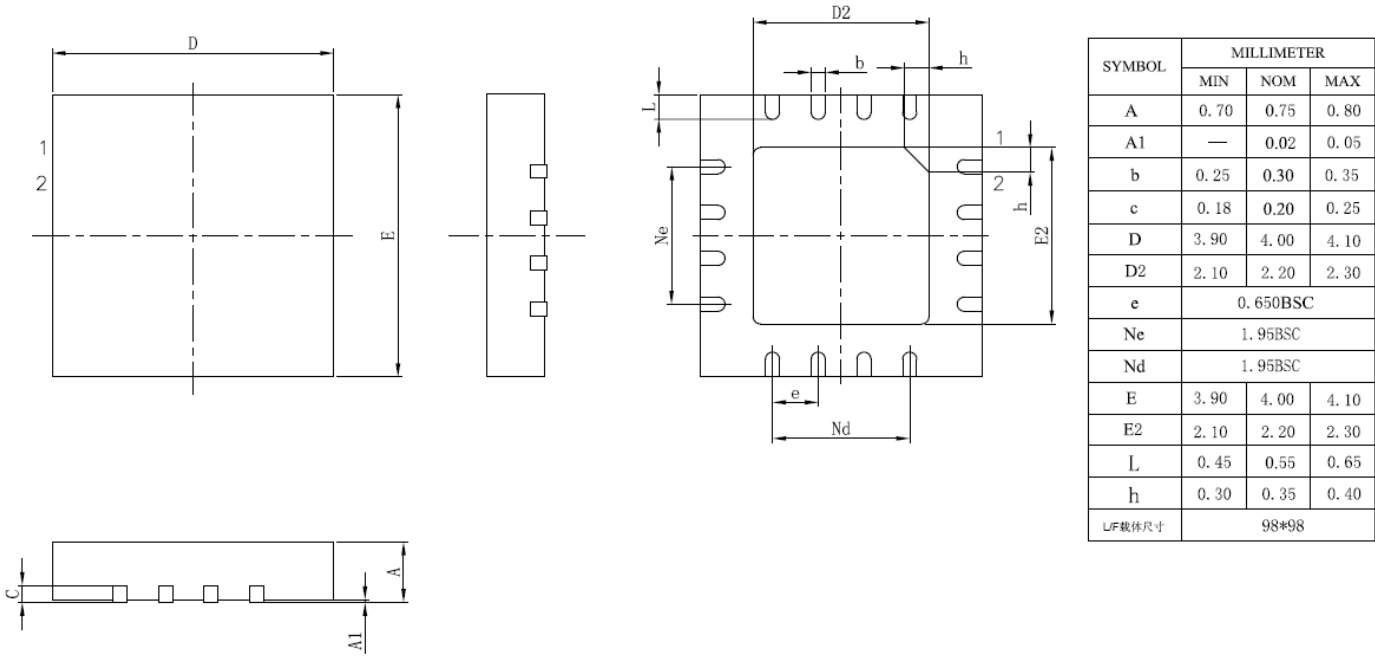


图 14. QFN16 封装, 4 mm × 4 mm

封装顶层丝印

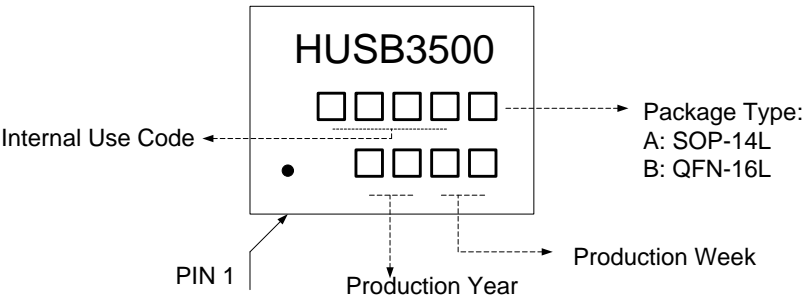


图 15. 封装顶层丝印

订购指南

订货型号	封装	5V	9V	12V	15V	20V	OC/CC	VCN	线补	HVDCP	包装形式
HUSB3500_2030B	QFN	3	3	2.5	2	1.5	1.25OC	N	0.1	Y	Tape & Reel, 5k
HUSB3500_2045B	QFN	3	3	3	3	2.25	1.25OC	N	0.1	Y	Tape & Reel, 5k
HUSB3500_2060B	QFN	3	3	3	3	3	1.25OC	N	0.1	Y	Tape & Reel, 5k
HUSB3500_2065B	QFN	3	3	3	3	3.25	1.25OC	Y	0.1	Y	Tape & Reel, 5k
HUSB3500_2087B	QFN	3	3	/	3	4.35	1.25OC	Y	0.1	Y	Tape & Reel, 5k
HUSB3500_2030A	SOP	3	3	2.5	2	1.5	1.25OC	N	0.1	Y	Tape & Reel, 4k
HUSB3500_2045A	SOP	3	3	3	3	2.25	1.25OC	N	0.1	Y	Tape & Reel, 4k
HUSB3500_2060A	SOP	3	3	3	3	3	1.25OC	N	0.1	Y	Tape & Reel, 4k
HUSB3500_2065A	SOP	3	3	3	3	3.25	1.25OC	Y	0.1	Y	Tape & Reel, 4k
HUSB3500_2087A	SOP	3	3	/	3	4.35	1.25OC	Y	0.1	Y	Tape & Reel, 4k
HUSB3500_xxxxB	QFN	定制	定制	定制	定制	定制	定制	定制	定制	定制	Tape & Reel, 5k
HUSB3500_xxxxA	SOP	定制	定制	定制	定制	定制	定制	定制	定制	定制	Tape & Reel, 4k

**IMPORTANT NOTICE**

Hynetek Semiconductor Co., Ltd. and its subsidiaries (Hynetek) reserve the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All semiconductor products (also referred to herein as "components") are sold subject to Hynetek's terms and conditions of sale supplied at the time of order acknowledgment.

Hynetek warrants performance of its components to the specifications applicable at the time of sale, in accordance with the warranty in Hynetek's terms and conditions of sale of semiconductor products. Testing and other quality control techniques are used to the extent Hynetek deems necessary to support this warranty. Except where mandated by applicable law, testing of all parameters of each component is not necessarily performed.

Hynetek assumes no liability for applications assistance or the design of Buyers' products. Buyers are responsible for their products and applications using Hynetek components. To minimize the risks associated with Buyers' products and applications, Buyers should provide adequate design and operating safeguards.

Hynetek does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which Hynetek components or services are used. Information published by Hynetek regarding third-party products or services does not constitute a license to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from Hynetek under the patents or other intellectual property of Hynetek.

Reproduction of significant portions of Hynetek information in Hynetek data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Hynetek is not responsible or liable for such altered documentation. Information of third parties may be subject to additional restrictions.

Resale of Hynetek components or services with statements different from or beyond the parameters stated by Hynetek for that component or service voids all express and any implied warranties for the associated Hynetek component or service and is an unfair and deceptive business practice.

Hynetek is not responsible or liable for any such statements.

Buyer acknowledges and agrees that it is solely responsible for compliance with all legal, regulatory and safety-related requirements concerning its products, and any use of Hynetek components in its applications, notwithstanding any applications-related information or support that may be provided by Hynetek. Buyer represents and agrees that it has all the necessary expertise to create and implement safeguards which anticipate dangerous consequences of failures, monitor failures and their consequences, lessen the likelihood of failures that might cause harm and take appropriate remedial actions. Buyer will fully indemnify Hynetek and its representatives against any damages arising out of the use of any Hynetek components in safety-critical applications.

In some cases, Hynetek components may be promoted specifically to facilitate safety-related applications. With such components, Hynetek's goal is to help enable customers to design and create their own end-product solutions that meet applicable functional safety standards and requirements. Nonetheless, such components are subject to these terms.

No Hynetek components are authorized for use in FDA Class III (or similar life-critical medical equipment) unless authorized officers of the parties have executed a special agreement specifically governing such use.

Only those Hynetek components which Hynetek has specifically designated as military grade or "enhanced plastic" are designed and intended for use in military/aerospace applications or environments. Buyer acknowledges and agrees that any military or aerospace use of Hynetek components which have not been so designated is solely at the Buyer's risk, and that Buyer is solely responsible for compliance with all legal and regulatory requirements in connection with such use.

Hynetek has specifically designated certain components as meeting ISO/TS16949 requirements, mainly for automotive use. In any case of use of non-designated products, Hynetek will not be responsible for any failure to meet ISO/TS16949.

Please refer to below URL for other products and solutions of Hynetek Semiconductor Co., Ltd.

Address: Room 306, Building 4, Shenzhen Software Park, Gaoxin Mid 2nd Road,  
Nanshan District, Shenzhen, 518057 China.

[www.hynetek.com](http://www.hynetek.com)